

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A) 平4-123439

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月23日

H 01 L 21/336  
29/7848422-4M H 01 L 29/78 3 0 1 P  
審査請求 未請求 請求項の数 4 (全11頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-242508

⑯ 出 願 平2(1990)9月14日

⑰ 発 明 者 牛 久 幸 広 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 則 近 憲 佑

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) 半導体基板上のゲート電極形成予定域にこのゲート電極と同一形状のダミーゲートを形成する工程と、このダミーゲートをマスクに不純物を導入しソース/ドレイン領域を形成する工程と、このソース/ドレイン領域上に前記ダミーゲート以下の厚さに絶縁膜を形成する工程と、前記ダミーゲートをエッチング除去し溝を形成する工程と、このエッチング除去された溝にゲート電極材料を埋め込む工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 前記絶縁膜を前記ダミーゲート以下の厚さにする工程は、前記絶縁膜を前記ソース/ドレイン領域上のみ選択的に成長させる工程であることを特徴とする請求項(1)記載の半導体装置の製造方法。

(3) 前記絶縁膜を前記ダミーゲート以下の厚さに

する工程は、前記半導体基板上に前記絶縁膜を異方性成長させる工程と、前記ソース/ドレイン領域上の前記絶縁膜上にレジストを形成する工程と、前記ゲート電極形成予定域上の前記絶縁膜を除去する工程と、前記レジストを除去する工程とからなることを特徴とする請求項(1)記載の半導体装置の製造方法。

(4) 前記ダミーゲートをエッチング除去し溝を形成する工程の後に、この溝に露出した前記絶縁膜の側壁膜を形成する工程と、この側壁膜の内側にゲート電極材料を埋め込む工程と、前記側壁膜を除去する工程と、前記側壁膜を除去することにより露出した前記半導体基板に不純物を導入する工程とを具備したことを特徴とする請求項(1)記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体装置の製造方法

MOSトランジスタのゲート電

る。

(従来の技術)

第8図は、従来例のゲート電極形成の工程断面図である。

半導体基板101上に厚さ約10nmのゲート酸化膜102を熱酸化によって形成する。次に厚さ約400nmのポリシリコン103をCVD法によって堆積する。次にフォトリソグラフィ工程によりゲート電極のレジストパターン104を形成する(第8図(a))。

次に、このレジストパターン104をマスクにリアクティブイオンエッチング(RIE法)によりゲートポリシリコン103を異方的にエッチングする。この際ゲートポリシリコン103とゲート酸化膜102の厚さの比は約40あるので、ゲートポリシリコン103のエッチングを10%オーバーに行なうと40倍、20%オーバーに行なうと80倍のエッチング選択比がないとゲート酸化膜102はエッチングされつくしてしまふ。更に、ゲートポリシリコン103と半導体基板101の

エッチング選択比は、ほぼ1に近いので瞬時にして半導体基板101はエッチングされてしまふ。この際、半導体基板101に入ったダメージにより、素子がリークするなどの悪影響がある(第8図(b))。

次に、この状態で酸化を行なうと酸化膜105形成時にゲートポリシリコン103端に酸化膜105がパズピーク106の様にくい込み、ゲート端でゲート酸化膜102の厚さが厚くなるため、電値の変動など素子の特性劣化を招来する(第8図(c))。

次に、ソース/ドレイン領域107を形成すると酸化膜105のパズピーク106の為、ゲートポリシリコン103端とソース/ドレイン領域107端との重なりが小さくなりすぎホットキャリアに対する信頼性が低下する(第8図(d))。

以上に示す様なゲート電極の形成方法においては、ゲートポリシリコン103のリアクティブイオンエッチング時に、半導体基板101がエッチングされる為リークの発生、素子特性の変動、劣

化あるいは素子の信頼性の低下等の問題点をひきおこす。しかしながら現状のエッチング技術では、ポリシリコンと酸化膜のエッチング選択比を40倍以上に向上させることは難しい。従って、厚さ約10nm以下の薄いゲート酸化膜を持つMOSトランジスタを製造することは極めて困難である。

第9図は従来技術のアルミゲートトランジスタ形状の工程断面図である。

半導体基板108上に酸化膜109を厚さ約200nm堆積しフォトリソグラフィ工程によりゲート電極のレジストパターン110を形成し、これをマスクに酸化膜109をエッチングする(第9図(a))。

次に、レジストをはく離し、酸化膜109をマスクに不純物を拡散させ、半導体基板108中にソース/ドレイン領域111を形成する(第9図(b))。

次に、酸化膜109をエッチング除去後、厚さ約100nmのゲート酸化膜112を熱酸化法によって形成する。次に、厚さ約400nmのアルミニ

ウム合金をスパッタ法により堆積する。次にフォトリソグラフィ工程によりゲート電極のレジストパターンを形成し、これをマスクにアルミニウムゲート113をエッチングにより形成する(第9図(c))。

以上に示す様なアルミニウムゲートトランジスタの形成方法においては、ソース/ドレイン領域111とアルミニウムゲート113の形成が異なるフォトリソグラフィ工程により行なわれている為ソース/ドレイン領域111とアルミニウムゲート113との間の合わせずれを見込んで素子を形成する必要があり、素子の微細化には適さない。

第10図は、従来技術のポリシリコンゲートトランジスタ形成の工程断面図である。

n型半導体基板114上に厚さ約20nmの酸化膜115を熱酸化法によって形成する。次にチャネル不純物層115を形成する為、ボロンを加速電圧20 keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入する。この際のチャネル不純物層114の深さは約0.1 $\mu\text{m}$ である(第10図(a))。

次に、リンを拡散させたポリシリコンを半導体基板114上に堆積後、フォトリソグラフィ工程によりゲート電極のレジストパターンを形成し、これをマスクにエッチングを行ないポリシリコンゲート116を形成する。次に、レジストパターンをはく離後、ポリシリコンゲート116を熱酸化化する。この熱酸化の際、チャネル不純物層114の深さは約 $0.15\mu\text{m}$ 迄伸びる(第10図(b))。

次に、ソース/ドレイン領域117をボロンのイオン注入と $900^\circ\text{C}$ 、30分程度のアニールによって形成する。このアニール処理の際、チャネル不純物層115の深さは約 $0.2\mu\text{m}$ 迄伸びる(第10図(c))。

一般に $n^+$ ゲートを用いた場合、ゲートポリシリコンと半導体基板の仕事関数の差から、半導体基板の表面を薄い $p$ 型にする必要があるがこの $p$ 型不純物層が浅ければ浅い程ゲート電極によるチャネル領域の制御がしやすくなり、いわゆるショートチャネル効果に有利である。

しかしながら、以上に示した様なポリシリコン

ゲートトランジスタの形成方法においては、チャネル不純物をイオン注入してからの熱処理工程が、数多く入る為、浅いチャネル不純物層を形成できない。従って、素子を微細化することも難しくなる。

(発明が解決しようとする課題)

以上の様に、従来のMOSトランジスタの形成方法においては、薄いゲート酸化膜を用いたMOSトランジスタが形成できない金属をゲート材料とした場合、セルファラインでソース/ドレイン領域が形成できない、浅いチャネル領域の不純物拡散層が形成できず、従って $0.5\mu\text{m}$ 以下のゲート長を持つ微細なMOSトランジスタを製造できないという問題点があった。

本発明は、この様な課題を解決する半導体装置の製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は上記事情に鑑みて為されたもので、半導体基板上のゲート電極形成予定域にこのゲート

電極と同一形状のダミーゲートを形成する工程と、このダミーゲートをマスクに不純物を導入しソース/ドレイン領域を形成する工程と、このソース/ドレイン領域上に前記ダミーゲート以下の厚さに絶縁膜を形成する工程と、前記ダミーゲートをエッチング除去し溝を形成する工程と、このエッチング除去された溝にゲート電極材料を埋め込む工程とを具備したことを特徴とする半導体装置の製造方法を提供する。

(作用)

この様に本発明によればダミーゲートをマスクにして自己整合的にソース/ドレイン領域を形成すると共に、ダミーゲートを除去後更に自己整合的にゲート電極を形成している為、ソース/ドレイン領域とゲート電極に合わせずれが生じず微細化された素子を形成することができる。

また、ゲート電極と周囲の絶縁膜の高さをそろえることが可能であるので素子の平坦化をはかることができる。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は、本発明の第1の実施例の半導体装置の製造方法の工程断面図である。

$n$ 型シリコン基板1表面に熱酸化により酸化膜2を形成する。次にフォトリソグラフィ工程により厚さ約 $1\mu\text{m}$ のゲート電極のレジストパターンを形成する。このレジストパターンがダミーゲート3となる。なお、この際レジストとしては疎水性のものを用いる(第1図(a))。

次に、ダミーゲート3をマスクにボロンを加速電圧 $20\text{keV}$ 、ドーズ量 $5\times 10^{15}\text{cm}^{-2}$ の条件でイオン注入し、ソース/ドレイン領域4を形成する。この際、ソース/ドレイン領域4はダミーゲート3に対して自己整合的に形成される(第1図(b))。

次に、シリカを飽和させたケイフ化水素酸水溶液にウェーハを浸漬し、 $\text{Al}$ を添加すると、 $n$ 型シリコン基板1上に $\text{SiO}_2$ 膜5が形成される。この際、レジストから成るダミーゲート3は疎水性である為、ダミーゲート3上には、 $\text{SiO}_2$ 膜5は

形成されない。通常ポジ型レジストは疎水性を示すが、フッ素を含むプラズマにさらすことにより、より一層疎水性を示す様になる為、 $\text{SiO}_2$ 膜5を形成する工程に先だってn型シリコン基板1にプラズマ処理を施しておいてもよい。また、この $\text{SiO}_2$ 膜5は、ダミーゲート3より薄く例えば厚さ約 $0.8\mu\text{m}$ とする。この際、 $\text{SiO}_2$ 膜5は、ダミーゲート3に対して自己整合的に形成される(第1図(c))。

次に、レジストから成るダミーゲート3を除去し、チャネル不純物としてボロンを加速電圧 $20\text{keV}$ 、ドーズ量 $2\times 10^{13}$ の条件でイオン注入する。この際、既にソース/ドレイン領域4は形成されているので、チャネルイオン注入後の熱処理に従来に比べ短時間で済む。従ってチャネル不純物層はシャープなチャネルプロファイルを得ることができる(第1図(d))。

次に、フッ化アンモニウム溶液を用いてダミーゲート3を除去することにより露出した $\text{SiO}_2$ 膜2をエッチング除去し、ゲート酸化を行って厚さ

を除去後、従来に比べ比較的短時間の熱処理によりチャネル不純物層を形成し、続いてゲート酸化膜を形成し、更にこのゲート酸化膜上に自己整合的にポリシリコンゲート電極を形成している為、以下の効果を得る。即ち、ゲート酸化膜厚が $5\text{nm}$ という極めて薄い場合でもシリコン基板に損傷を与えることなくゲートの加工ができる。また、チャネル不純物プロファイルをシャープに形成することができる。また、ソース/ドレイン領域より後にゲート電極を形成しているにもかかわらず両者に合わせずれが生じず、微細化された素子を形成することができる。更に、ゲート電極とその周囲の $\text{SiO}_2$ 膜の高さがほぼそろるので、例えば、この後の工程において絶縁膜の堆積平坦化を容易に行なうことが可能となる。

なお、ポリシリコンのかわりにアルミニウムをスパッタ法又はCVD法により堆積後エッチバックすることによりアルミニウムゲート電極のMOSトランジスタを形成することができる。以上の様なアルミニウムゲート電極のMOSトランジスタ

約 $5\text{nm}$ のゲート酸化膜6を形成する。ここで $\text{SiO}_2$ 膜2を除去したのは、 $\text{SiO}_2$ 膜2上にはレジストが形成されていたので、この $\text{SiO}_2$ 膜2をそのままゲート酸化膜として用いるとレジストによる汚染で素子特性を劣化させる為である。次に、除去されたダミーゲート3の部分にポリシリコン7をCVD法により堆積する。CVD法により形成されたポリシリコン7は、カバレッジが良く、除去されたダミーゲートの溝部を埋め込むことができる(第1図(e))。

次に、このポリシリコン7にリンを拡散した後、リアクティブイオンエッチングを行なうことにより、除去されたダミーゲートの部分にのみ、ポリシリコン7が埋め込まれることになる。この際、ポリシリコン7から成るゲート電極は、ソース/ドレイン領域4に対して自己整合的に形成される(第1図(f))。

以上に示した様な半導体装置の製造方法によれば、ダミーゲートをマスクにして自己整合的にソース/ドレイン領域を形成し、このダミーゲート

の形成方法によれば上記に示した効果の他に以下に示す様な効果を得ることができる。

即ち、ソース/ドレイン領域形成後にゲート電極を形成しているので熱処理が少なくすみアルミニウムの様な比較的融点の低い材料をゲート電極に用いることができる。

第2図は、本発明の第2の実施例の半導体装置の製造方法の工程断面図である。

p型シリコン基板8上に厚さ約 $20\text{nm}$ の熱酸化膜9を形成する。次に厚さ約 $0.3\mu\text{m}$ のポリシリコン10をCVD法により堆積し、リンを拡散させ、更にこのポリシリコン10上にシリコン窒化膜11をCVD法により堆積する。次にフォトリソグラフィ工程により、ゲート電極のレジストパターンを形成し、このレジストパターンをマスクにリアクティブイオンエッチングによりシリコン窒化膜11、ポリシリコン10をエッチング除去する。この際残置したシリコン窒化膜11、ポリシリコン10がダミーゲート12となる。ダミーゲート12の材料としては、レジスト、絶縁物、

タングステン等の高融点金属、ポリシリコン、ポリシリコンとシリサイド、高融点金属の積層膜等を用いることができる(第2図(a))。

次にレジストをはく離し、ヒ素のイオン注入により、 $p^+$ 型のソース/ドレイン領域13を形成する(第2図(b))。

次に絶縁膜例えば $SiO_2$ 膜14を厚さ約0.35 $\mu m$ 異方性堆積させる。これは、例えばプラズマエレクトロンサイクロトロンレゾナンス法(プラズマECR法)によって実現することが可能である。このプラズマECR法によれば垂直方向には $SiO_2$ 膜14は堆積するが、横方向にはほとんど堆積しない(第2図(c))。

次に、レジスト14<sub>1</sub>を厚さ約1 $\mu m$ 塗布し、そのまま現象し厚さ約0.2 $\mu m$ 残す様にする(第2図(d))。

次に、 $NH_4OH$ 溶液によってダミーゲート12上の $SiO_2$ 膜14のみをエッチング除去する。次にレジストをはく離すると、 $SiO_2$ 膜14の残渣14<sub>1</sub>がシリコンチャッ化膜11上に残る。次にケミ

の除去された部分にリンをイオン注入することによりLDD構造の $n^-$ 領域18を形成することができる(第2図(h))。

以上に示した様な半導体装置の製造方法によれば、ゲート領域15の内側にシリコンチャッ化膜の側壁16を設けることにより、リソグラフィの限界より更に細いゲート電極17を形成することができる。また、熱酸化膜9のエッチング時にゲート領域15の側部の $SiO_2$ 膜14の後退を防ぐことができる。また、従来の工程で形成されたLDD構造の $n^-$ 領域に比べて熱処理工程が少ないので不純物濃度の制御がしやすい。

ここでダミーゲートの側部に形成される絶縁膜の形成方法について説明する。

ダミーゲートの下部が平坦な場合は通常の酸化膜堆積、エッチバック法を用いて絶縁膜をダミーゲート以下の厚さに形成することは可能であるが、通常の場合は、ダミーゲートの下部には少なくともフィールド酸化膜の段差があるので、このようにはできない。

カルドライエッチング法によりシリコンチャッ化膜11を除去する。この際、シリコンチャッ化膜11上の $SiO_2$ 膜14の残渣も同時に除くことができる。これがダミーゲート12を積層構造にする理由である(第2図(e))。

次に、ポリシリコン10をエッチングにより取り除く。次に、この除去されたダミーゲート12部及び $SiO_2$ 膜14上にシリコンチャッ化膜を形成し、全面リアクティブイオンエッチングすることにより、ゲート領域15の内側に側壁16を形成することができる。次に、チャネル部へのイオン注入を行なう(第2図(f))。

次に、ゲート領域15に露出している熱酸化膜9をエッチング除去する。次に、第1の実施例で示した工程を用いてゲート電極17を形成する。この後、絶縁膜を堆積して次の工程に進んでよい(第2図(g))。

または、絶縁膜を堆積して次の工程に進むかわりにゲート領域15の内側に設けられた側壁16をケミカルドライエッチング法により除去し、こ

第3図の断面図に示したように通常のMOSトランジスタでは、シリコン基板19上にフィールド酸化膜20のある領域と、ゲート酸化膜21のある領域で数百nmの段差がある。この上をダミーゲートとしてのポリシリコン22が数さ300nmで堆積され、さらに酸化膜23を通常のCVD法によって堆積、エッチバックすると段差上部(フィールド酸化膜20上)では酸化膜23がダミーゲート以下の厚さになるが、段差下部(ゲート酸化膜21上)ではダミーゲートの方が絶縁膜より薄くなってしまふ。この状態ではダミーゲートをエッチング除去できない。従って第1または第2実施例で示したように絶縁膜の選択成長または異方性堆積を用いることが望ましい。

第4図は、本発明の第3の実施例の半導体装置の製造方法の工程断面図である。

$n$ 型シリコン基板24表面に熱酸化により酸化膜25を形成する。次にフォトリソグラフィ工程により厚さ約1 $\mu m$ のゲート電極のレジストパターンを形成する。このレジストパターンがダミー

ゲート26となる。なお、この際レジストとしては疎水性のものを用いる(第14図(a))。

次に、ダミーゲート26をマスクにボロンを加速電圧20 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ソース/ドレイン領域27を形成する。この際、ソース/ドレイン領域27はダミーゲート26に対して自己整合的に形成される(第14図(b))。

次に、シリカを飽和させたケイフ化水素酸水溶液にウェーハを浸漬し、AZを添加すると、n型シリコン基板24上にSiO<sub>2</sub>膜28が形成される。この際、レジストからなるダミーゲート26は疎水性である為、ダミーゲート26上には、SiO<sub>2</sub>膜28は形成されない。通常ポジ型レジストは疎水性を示すが、フッ素を含むプラズマにさらすことにより、より一層疎水性を示す様になる為、SiO<sub>2</sub>膜28を形成する工程に先だってn型シリコン基板24にプラズマ処理を施しておいてもよい。また、このSiO<sub>2</sub>膜28は、ダミーゲート26より薄く例えば厚さ約0.8 μmとする。この際、

図14)。

以上に示した様な半導体装置の製造方法によれば、第1の実施例と同様の効果を実現のみならず低抵抗で高熱の処理に耐え得るゲート電極を得ることができる。

第5図は、本発明の第4の実施例の半導体装置の製造方法の工程断面図である。

n型シリコン基板24表面に熱酸化により酸化膜25を形成する。次にフォトリソグラフィ工程により厚さ約1 μmのゲート電極のレジストパターンを形成する。このレジストパターンがダミーゲート26となる。なお、この際レジストとしては疎水性のものを用いる(第15図(a))。

次に、ダミーゲート26をマスクにボロンを加速電圧20 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ソース/ドレイン領域27を形成する。この際、ソース/ドレイン領域27はダミーゲート26に対して自己整合的に形成される(第15図(b))。

次に、シリカを飽和させたケイフ化水素酸水

SiO<sub>2</sub>膜28は、ダミーゲート26に対して自己整合的に形成される(第15図(c))。

次に、レジストから成るダミーゲート26を除去し、チャネル不純物としてボロンを加速電圧20 keV、ドーズ量 $2 \times 10^{15}$ の条件でイオン注入する。この際、既にソース/ドレイン領域27は形成されているので、チャネルイオン注入後の熱処理に従来に比べ短時間で済む。従ってシャープなチャネルプロファイルを得ることができる。ここまでは、第1の実施例と同様の工程である(第15図(d))。

次に、チタンナイトライド膜29をスパッタ又はCVD法により厚さ約600 Å堆積する。続いて、ダミーゲート26を除去することにより生じた溝部30にタングステン膜31をCVD法により埋め込む(第4図(e))。

次に、チタンナイトライド膜29及びタングステン膜31をリアクティブイオンエッチングによりエッチングし溝部30以外のタングステン膜31及びチタンナイトライド膜29を除去する(第4

溶液にウェーハを浸漬し、AZを添加すると、n型シリコン基板24上にSiO<sub>2</sub>膜28が形成される。この際、レジストから成るダミーゲート26は疎水性である為、ダミーゲート26上には、SiO<sub>2</sub>膜28は形成されない。通常ポジ型レジストは疎水性を示すが、フッ素を含むプラズマにさらすことにより、より一層疎水性を示す様になる為、SiO<sub>2</sub>膜28を形成する工程に先だってn型シリコン基板24にプラズマ処理を施しておいてもよい。また、このSiO<sub>2</sub>膜28は、ダミーゲート26より薄く例えば厚さ約0.8 μmとする。この際、SiO<sub>2</sub>膜28は、ダミーゲート26に対して自己整合的に形成される(第15図(c))。

次に、レジストから成るダミーゲート26を除去し、チャネル不純物としてボロンを加速電圧20 keV、ドーズ量 $2 \times 10^{15}$ の条件でイオン注入する。この際、既にソース/ドレイン領域27は形成されているので、チャネルイオン注入後の熱処理に従来に比べ短時間で済む。従ってシャープなチャネルプロファイルを得ることができる。こ



こまでは、第1の実施例と同様の工程である(第1図(d))。

次に、ダミーゲートを除去することにより生じた溝部30にポリシリコン32をCVD法により堆積し、この溝部30を埋め込む(第5図(a))。

次に、リアクティブイオンエッチングによりポリシリコン32を溝部30の深さ以下の厚さになるまで除去する(第5図(b))。

次にチタンをスパッタ法により厚さ約50nm堆積し、800℃でチタニア雰囲気中でアニールするとポリシリコン32上にのみチタンシリサイド層33が形成される。アンモニア処理により未反応のチタンを除去することでポリシリコン32上にのみチタンシリサイド層33を残置することができる(第5図(c))。

以上に示した様な半導体装置の製造方法によれば、第1の実施例と同様の効果を奏するのみならず低抵抗のポリシリコンゲート電極を得ることができる。

第6図は、本発明の第5の実施例の半導体装置

とにより、より一層疎水性を示す様になる為、 $\text{SiO}_2$ 膜28を形成する工程に先だってn型シリコン基板24にプラズマ処理を施しておいてもよい。また、この $\text{SiO}_2$ 膜28は、ダミーゲート26より薄く例えば厚さ約0.8 $\mu\text{m}$ とする。この際、 $\text{SiO}_2$ 膜28は、ダミーゲート26に対して自己整合的に形成される(第6図(c))。

次に、レジストから成るダミーゲート26を除去し、チャネル不純物としてボロンを加速電圧20 keV、ドーズ量 $2 \times 10^{13}$ の条件でイオン注入する。この際、既にソース/ドレイン領域27は形成されているので、チャネルイオン注入後の熱処理に従来に比べ短時間で済む。従ってシャープなチャネルプロファイルを得ることができる。こままでは、第1の実施例と同様の工程である(第1図(d))。

次に、パラジウム34をスパッタ法にて厚さ約30nm堆積する。次にレジスト35を塗布し、そのまま現像を行なってダミーゲートを除去することにより生じた溝部30のみに残置する様にする

の製造方法の工程断面図である。

n型シリコン基板24表面に熱酸化により酸化膜25を形成する。次にフォトリソグラフィ工程により厚さ約1 $\mu\text{m}$ のゲート電極のレジストパターンを形成する。このレジストパターンがダミーゲート26となる。なお、この際レジストとしては疎水性のものをを用いる(第1図(a))。

次に、ダミーゲート26をマスクにボロンを加速電圧20 keV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入し、ソース/ドレイン領域27を形成する。この際ソース/ドレイン領域27はダミーゲート26に対して自己整合的に形成される(第1図(b))。

次に、シリカを飽和させたケイフッ化水素酸水溶液にウェーハを浸漬し、 $\text{HF}$ を添加すると、n型シリコン基板24上に $\text{SiO}_2$ 膜28が形成される。この際、レジストから成るダミーゲート26は疎水性である為、ダミーゲート26上には、 $\text{SiO}_2$ 膜28は形成されない。通常ポジ型レジストは疎水性を示すが、フッ素を含むプラズマにさらすと

(第6図(d))。

次に硝酸とフッ酸の混合液により、レジスト35で覆われた部分以外のパラジウム34をエッチング除去する。次に、酸素アッシュでレジスト36をはく離する(第6図(e))。

次に硫酸銅溶液にウェーハを浸漬することでパラジウム34の部分にのみ選択的に銅35を堆積する(第6図(f))。

以上に示した様な半導体装置の製造方法によれば、第1の実施例と同様の効果を奏するのみならず、低抵抗のゲート電極を得ることができる。

第7図は本発明の第6の実施例の半導体装置の製造方法の工程断面図である。

p型シリコン基板36上に熱酸化膜37を厚さ約20nm形成する。次に、シリコン窒化膜38をCVD法により厚さ約0.3 $\mu\text{m}$ 堆積する。次にポリシリコン膜39をCVD法により厚さ約0.1 $\mu\text{m}$ 堆積する。次にフォトリソグラフィ工程及びエッチング工程によりポリシリコン膜39とシリコン窒化膜38との積層膜から成るダミーゲート

40を形成する(第7図(a))。

次に、ポリシリコンをCVD法により厚さ約 $0.1\mu\text{m}$ 堆積し、全面リアクティブイオンエッチングを行なうことにより、ポリシリコン膜39がシリコンチャッ化膜38をくるんだ形状のダミーゲート40が形成される。次にヒ素をイオン注入し、ソース/ドレイン領域41を形成する(第7図(b))。

次に、第1の実施例で示したプラズマECR法を用いて、熱酸化膜37上の $\text{SiO}_2$ 膜42を選択的に成長させる。次に $800^\circ\text{C}$ 、 $\text{N}_2$ 中でアニール処理を行なう(第7図(c))。

次に、シリコンチャッ化膜38の周囲に形成されたポリシリコン膜39をケミカルドライエッチングを用いて除去し、このシリコンチャッ化膜38と $\text{SiO}_2$ 膜42の隙間にリンをイオン注入して $n$ 不純物層43を形成する(第7図(d))。

次に、シリコンチャッ化膜38を選択的にエッチング除去し、第1の実施例に示した工程によりゲート電極44を形成する(第7図(e))。

示す工程断面図、第6図は、本発明の第5の実施例の半導体装置の製造方法を示す工程断面図、第7図は、本発明の第6の実施例の半導体装置の製造方法を示す工程断面図、第8図、第9図、第10図は、従来例の半導体装置の製造方法の工程断面図である。

図において、

1… $n$ 型シリコン基板、2…酸化膜、3…ダミーゲート、4…ソース/ドレイン領域、5… $\text{SiO}_2$ 膜、6…ゲート酸化膜、7…ポリシリコン。

代理人 弁理士 則 近 憲 佑

以上に示した半導体装置の製造方法によれば、従来のLDD構造の形成方法に比べ、ゲート電極と $n$ 不純物層のオーバーラップ部が大きくとれてMOSトランジスタの信頼性が向上する。

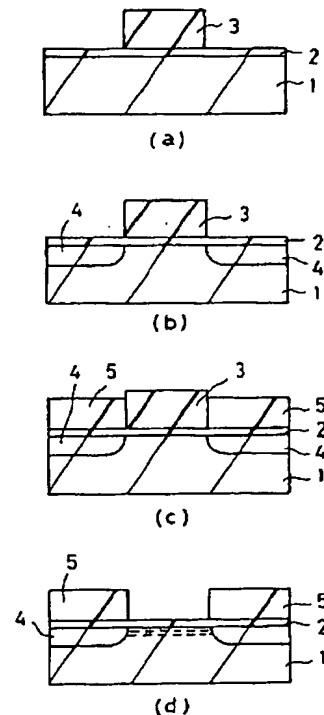
〔発明の効果〕

以上述べた様に本発明によればソース/ドレイン領域とゲート電極が自己整合的に形成されているので両者のあわせずれが生じず、微細化された素子を形成することができる。

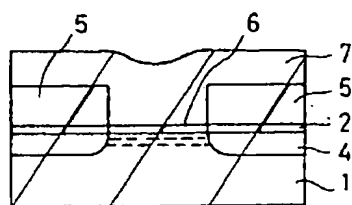
また、ゲート電極と周囲の絶縁膜の高さをそろえることが可能であるので素子の平坦化をはかることができる。

#### 4. 図面の簡単な説明

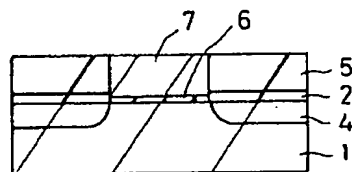
第1図は、本発明の第1の実施例の半導体装置の製造方法を示す工程断面図、第2図は、本発明の第2の実施例の半導体装置の製造方法を示す工程断面図、第3図は、従来例の半導体装置を示す断面図、第4図は、本発明の第3の実施例の半導体装置の製造方法を示す工程断面図、第5図は、本発明の第4の実施例の半導体装置の製造方法を



第1図

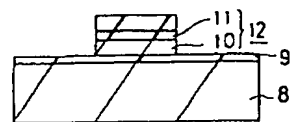


(e)

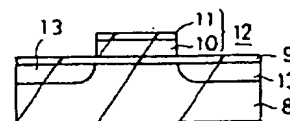


(f)

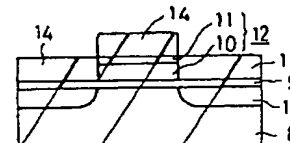
第 1 図



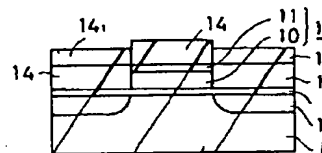
(a)



(b)

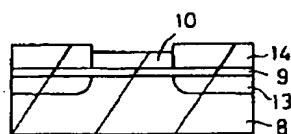


(c)

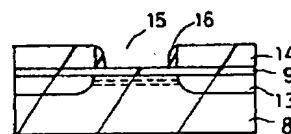


(d)

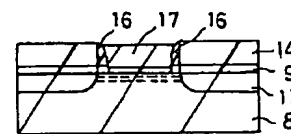
第 2 図



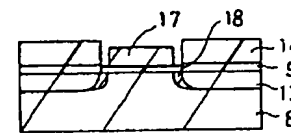
(e)



(f)

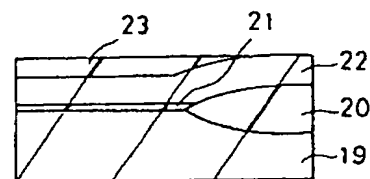


(g)

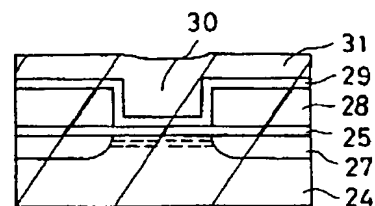


(h)

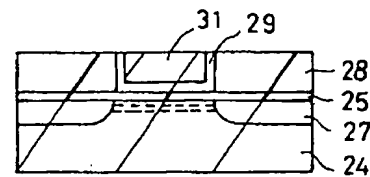
第 2 図



第 3 図

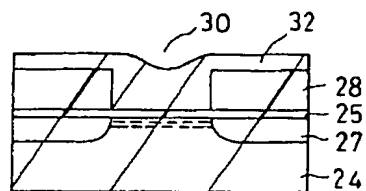


(a)

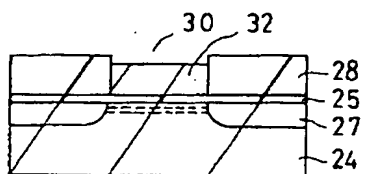


(b)

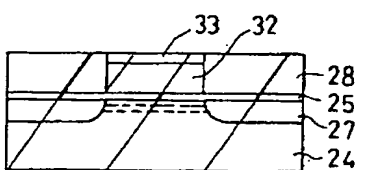
第 4 図



(a)

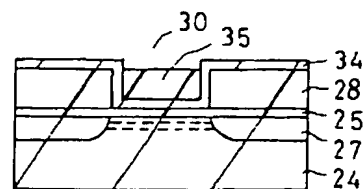


(b)

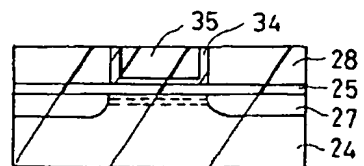


(c)

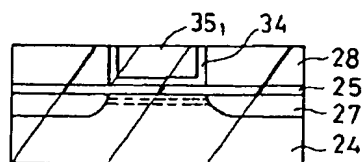
第 5 図



(a)



(b)

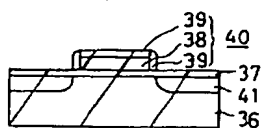


(c)

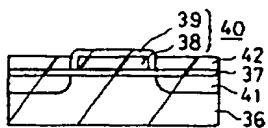
第 6 図



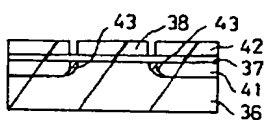
(a)



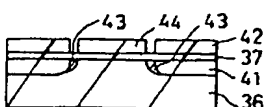
(b)



(c)

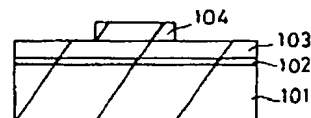


(d)

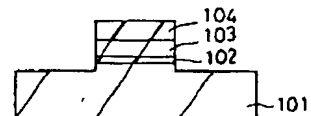


(e)

第 7 図



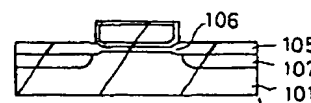
(a)



(b)

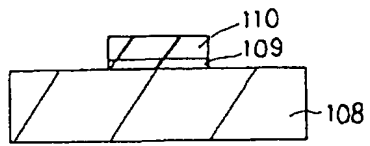


(c)

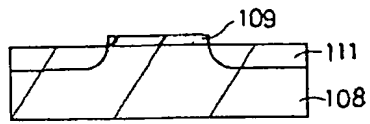


(d)

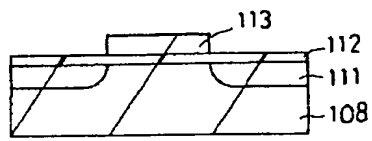
第 8 図



(a)

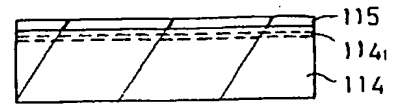


(b)

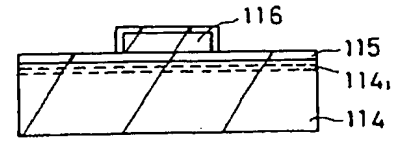


(c)

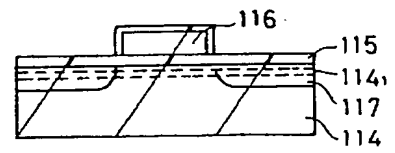
第 9 図



(a)



(b)



(c)

第 10 図

THIS PAGE BLANK (USPTO)